

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-322020  
(43)Date of publication of application : 24.11.2000

(51)Int.Cl. G09G 3/20  
G11C 19/00

(21)Application number : 11-134664  
(22)Date of filing : 14.05.1999

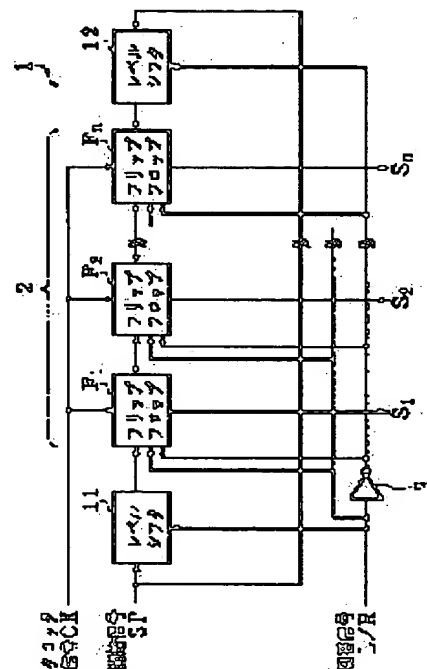
(71)Applicant : SHARP CORP  
(72)Inventor : SATO MASAKAZU  
KUBOTA YASUSHI  
WASHIO HAJIME  
MAEDA KAZUHIRO  
MICHAEL JAMES BROWNLOW  
CAIRNS GRAHAM ANDREW

## (54) BI-DIRECTIONAL SHIFT REGISTER AND IMAGE DISPLAY DEVICE USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a shift register shifting in both directions, operating normally for an input signal with an lower amplitude, and consuming less power.

**SOLUTION:** A shift register 1 is provided with a shift register part 2 comprising multiple stages of flip-flops F1 to Fn operating synchronously with a clock signal CK, and level shifters 11, 12 stepping up a start signal SP lower than a drive voltage, and supplying the signal on both ends of the shift register part 2. A switching signal L/R changes the shift direction of the shift register 1. The level shifters 11, 12 are current driven type that can operate when transistor characteristics are low or for a high speed operation, and can shift the level when the amplitude of the start signal SP is low. The level shifters 11, 12 are provided on both ends of the shift register part 2 to reduce power consumption by stopping either of them according to the switching signal L/R.



### LEGAL STATUS

[Date of request for examination] 28.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-322020

(P2000-322020A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H 5 C 0 8 0
	6 2 2		6 2 2 E
G 1 1 C 19/00		G 1 1 C 19/00	C

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平11-134664

(22) 出願日 平成11年5月14日 (1999. 5. 14)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 昌和

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 誠三

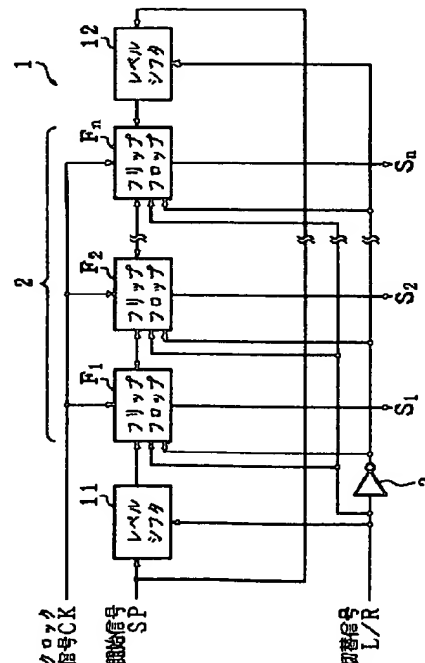
最終頁に続く

(54) 【発明の名称】 双方向シフトレジスタ、および、それを用いた画像表示装置

(57) 【要約】

【課題】 双方向にシフトが可能で、かつ、入力信号の振幅が低い場合でも正常に動作すると共に、消費電力の少ないシフトレジスタを実現する。

【解決手段】 シフトレジスタ1は、クロック信号CKに同期して動作する複数段のフリップフロップF<sub>1</sub>～F<sub>n</sub>からなるシフトレジスタ部2と、駆動電圧よりも低い開始信号SPを昇圧して、シフトレジスタ部2の両端へ与えるレベルシフタ11・12とを備えており、切替信号L/Rに応じてシフト方向を変更できる。上記レベルシフタ11・12は、トランジスタ特性が低い場合や高速動作する場合でも動作可能な電流駆動型であり、開始信号SPの振幅が低い場合でもレベルシフトできる。さらに、上記レベルシフタ11・12は、シフトレジスタ部2の両側に1つつ設けられており、切替信号L/Rに基づいて、いずれか一方の動作を停止することで、消費電力を削減する。



## 【特許請求の範囲】

【請求項1】クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替え可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えていることを特徴とする双方向シフトレジスタ。

【請求項2】さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えていることを特徴とする請求項1記載の双方向シフトレジスタ。

【請求項3】上記各レベルシフタは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項4】上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させることを特徴とする請求項3記載の双方向シフトレジスタ。

【請求項5】上記制御手段は、上記各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項6】上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えていることを特徴とする請求項2、3、4または5記載の双方向シフトレジスタ。

【請求項7】マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、

予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする請求項1、2、3、4、5または6記載の双方向シフトレジスタを備えていることを特徴とする画像表示装置。

【請求項8】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項7記載の画像表示装置。

【請求項9】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジ

スタからなるスイッチング素子を含んでいることを特徴とする請求項7または8記載の画像表示装置。

【請求項10】上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項7、8または9記載の画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば、画像表示装置の駆動回路などに好適に使用され、入力信号の振幅が駆動電圧よりも低い場合でも入力信号を双方向にシフト可能な双方向シフトレジスタ、および、それを用いた画像表示装置に関するものである。

## 【0002】

【従来の技術】例えば、画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、各データ信号を映像信号からサンプリングする際のタイミングを取ったり、各走査信号線へ与える走査信号を作成したりするために、シフトレジスタが広く使用されている。さらに、表示部あるいは撮影部を反転可能な画像表示装置では、表示部あるいは撮影部の向きに応じて、上下や左右を反転させた鏡像を表示することが望まれるため、上記シフトレジスタとして、シフト方向を切替可能な双方向シフトレジスタが使用される。この場合、シフト方向が切替られると、画像の走査方向が反転する。したがって、各画素への映像信号を記憶することなく、鏡像を表示できる。

【0003】一方、電子回路の消費電力は、周波数と、負荷容量と、電圧の2乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路など、画像表示装置に接続される回路、あるいは、画像表示装置では、消費電力を低減するため、駆動電圧が益々低く設定される傾向にある。

【0004】例えば、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間あるいは同一基板内においても、しきい値電圧の相違が、例えば、数[V]程度に達することもあるため、駆動電圧の低減が十分に進んでいるとは言いが、例えば、上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5[V]や3.3[V]、あるいは、それ以下の値に設定されていることが多い。したがって、シフトレジスタの駆動電圧よりも低い入力信号が印加される場合、シフトレジスタには、入力信号を昇圧するレベルシフタが設けられる。

【0005】具体的には、例えば、図9に示すように、上記従来のシフトレジスタ101へ、例えば、5[V]程度の振幅の開始信号SPが与えられると、レベルシフタ103は、シフトレジスタ101の駆動電圧(15

10

20

30

40

50

【V】)まで、開始信号SPを昇圧する。レベルシフタ103の出力は、シフトレジスタ部102の一方端のフリップフロップF<sub>1</sub>と、他方端のフリップフロップF<sub>2</sub>との双方へ印加され、シフトレジスタ部102は、クロック信号CKに同期して、切替信号L/Rに応じた方向へ開始信号SPをシフトする。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来のシフトレジスタ101では、開始信号SPをレベルシフトした後、両フリップフロップF<sub>1</sub>・F<sub>2</sub>へ伝送しているため、両フリップフロップF<sub>1</sub>・F<sub>2</sub>間の距離が離れる程、伝送距離が長くなり、消費電力が増大するという問題を生ずる。

【0007】具体的には、伝送距離が長くなるに従って、伝送用の信号線の容量が大きくなるので、レベルシフタ103に、より大きな駆動能力が必要となり、消費電力が増大する。さらに、多結晶シリコン薄膜トランジスタを用いて、レベルシフタ103を含む上記駆動回路が形成される場合のように、レベルシフタ103の駆動能力が十分ではない場合には、歪みのない波形を伝送するため、図中、破線で示すように、レベルシフタ103とフリップフロップF<sub>2</sub>との間にバッファ104を設ける必要があるため、さらに多くの消費電力が必要になる。

【0008】近年では、より表示画面が広く、かつ、高解像な画像表示装置が要求されているため、シフトレジスタ部102の段数が益々増加する傾向にある。したがって、両フリップフロップF<sub>1</sub>・F<sub>2</sub>の距離が増大しても消費電力の少ない双方向シフトレジスタ、および、画像表示装置が強く求められている。

【0009】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、双方向にシフトが可能で、かつ、入力信号の振幅が低い場合でも正常に動作すると共に、消費電力の少ないシフトレジスタ、および、それを用いた画像表示装置を実現することにある。

【0010】

【課題を解決するための手段】本発明に係る双方向シフトレジスタは、上記課題を解決するために、クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替え可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えていることを特徴としている。

【0011】上記構成において、シフト方向が一方(第1方向)に指定されている場合、入力信号は、上記複数段のフリップフロップの一方端(第1端部)に設けられたレベルシフタ(第1レベルシフタ)にて昇圧された後、第1端部のフリップフロップへ印加され、上記クロック信号に同期して順次伝送される。これとは逆に、シ

フト方向が第1方向とは逆の方向(第2方向)に指定されている場合、入力信号は、上記複数段のフリップフロップのうち、第1端部とは逆方向の端部(第2端部)に設けられたレベルシフタ(第2レベルシフタ)にて昇圧された後、第2端部のフリップフロップへ印加され、上記クロック信号に同期して順次伝送される。

【0012】上記構成では、複数段のフリップフロップの両端に、第1および第2レベルシフタが設けられているので、唯一のレベルシフタが第1および第2端部のフリップフロップへレベルシフト後の信号を印加する場合に比べて、各レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後の信号の伝送距離を短縮できるので、レベルシフタの負荷容量を削減でき、レベルシフタに必要な駆動能力を抑制できる。これにより、例えば、レベルシフタの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、レベルシフタからフリップフロップまでの間にバッファを設ける必要がなくなり、双方向シフトレジスタの消費電力を削減できる。

【0013】上記構成の双方向シフトレジスタでは、さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えている方が好ましい。

【0014】当該構成によれば、例えば、切替信号が第1方向を示している場合は、第2レベルシフタが停止し、第1レベルシフタのみが動作する。一方、第2方向の場合は、第1レベルシフタが停止して、第2レベルシフタのみが動作する。これにより、双方向シフトレジスタによる入力信号のシフトを阻害することなく、一方のレベルシフタを停止させることができ、双方が動作する場合よりも消費電力を削減できる。

【0015】さらに、上記構成の双方向シフトレジスタにおいて、上記各レベルシフタは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいてもよい。

【0016】当該構成によれば、レベルシフタが動作している間、レベルシフタの入力スイッチング素子は、常時導通している。したがって、入力信号のレベルによって入力スイッチング素子を導通/遮断する電圧駆動型のレベルシフタとは異なり、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合であっても、何ら支障なく、入力信号をレベルシフトできる。

【0017】さらに、電流駆動型のレベルシフタは、動作中、入力スイッチング素子が導通しているため、電圧駆動型のレベルシフタよりも消費電力が大きい。2つのレベルシフタのうち、一方は、動作を停止している。これにより、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、双方が同時に動作する場合よりも消費電力が少ない双方向シフトレジスタを実現できる。

10

20

30

40

50

【0018】また、上記構成の双方向シフトレジスタにおいて、上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させてもよい。

【0019】当該構成によれば、一例として、入力スイッチング素子がMOSトランジスタの場合を例にして説明すると、例えば、入力信号がゲートへ印加される場合は、ドレインソース間が遮断されるレベルの入力信号をゲートへ印加すれば、入力スイッチング素子が遮断される。また、入力信号がソースへ印加される場合には、例えば、ドレインと略同じ入力信号を印加するなどして、入力スイッチング素子を遮断する。

【0020】いずれの構成であっても、制御手段が入力信号のレベルを制御して、入力スイッチング素子を遮断すれば、電流駆動型のレベルシフトは、動作を停止する。これにより、制御手段は、レベルシフトを停止できると共に、停止中、入力スイッチング素子に流れる電流の分だけ、消費電力を低減できる。

【0021】一方、上記制御手段を有する構成の各双方向シフトレジスタにおいて、上記制御手段は、上記各レベルシフトへの電力供給を停止して、当該レベルシフトを停止させてもよい。

【0022】当該構成によれば、制御手段は、各レベルシフトへの電力供給を停止して、当該レベルシフトを停止させる。これにより、制御手段は、レベルシフトを停止できると共に、動作中にレベルシフトで消費する電力の分だけ、消費電力を低減できる。

【0023】ところで、レベルシフトが動作を停止している間、レベルシフトの出力電圧が不定となると、当該レベルシフトに接続されているフリップフロップの動作が不安定になる虞れがある。

【0024】したがって、上記各構成の双方向シフトレジスタにおいて、上記各レベルシフトは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている方が好ましい。

【0025】当該構成によれば、レベルシフトが停止している間、当該レベルシフトの出力電圧は、出力安定手段によって所定の値に保たれる。この結果、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定した双方向シフトレジスタを実現できる。

【0026】一方、本発明に係る画像表示装置は、上記課題を解決するために、マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走

査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成の双方向シフトレジスタを備えていることを特徴としている。

【0027】ここで、画像表示装置では、データ信号線の数、あるいは、走査信号線の数が大きくなるに従って、各信号線毎のタイミングを生成するためのフリップフロップの数が大きくなり、フリップフロップの両端間の距離が長くなる。ところが、上記各構成の双方向シフトレジスタは、レベルシフトの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、バッファを削減でき、消費電力を削減できる。また、画像表示装置では、双方向シフトレジスタを用いて、データ信号線あるいは走査信号線の走査方向を反転することで、各画素へ鏡像を表示できる。

【0028】それゆえ、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成の双方向シフトレジスタを備えることによって、鏡像表示が可能で、かつ、消費電力の少ない画像表示装置を実現できる。

【0029】さらに、上記構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている方が望ましい。

【0030】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されており、データ信号線駆動回路と各画素との間の配線、並びに、走査信号線駆動回路と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立て時の手間を削減できる。また、各信号線を基板外と接続するための端子を設ける必要がないため、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できる。

【0031】ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、基板面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【0032】したがって、上述の各構成の画像表示装置では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる方が好ましい。

【0033】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成の双方向シフトレジスタが使用されているので、レベルシフトの駆動能力が低い場合であっても、何ら支障なく、レベルシフト後の入力信号をフリップフロップの両端へ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できる。

【0034】加えて、上述の各構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる方が望ましい。

【0035】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常ガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0036】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1ないし図3に基づいて説明すると以下の通りである。なお、本発明は、双方向にシフト可能なシフトレジスタに広く適用できるが、以下では、好適な例として、画像表示装置に適用した場合について説明する。

【0037】すなわち、図2に示すように、本実施形態に係る画像表示装置51は、マトリクス状に配された画素PIXを有する表示部52と、各画素PIXを駆動するデータ信号線駆動回路53および走査信号線駆動回路54とを備えており、制御回路55が各画素PIXの表示状態を示す映像信号DATを生成すると、当該映像信号DATに基づいて画像を表示できる。

【0038】上記表示部52および両駆動回路53・54は、製造時の手間と、配線容量とを削減するために、同一基板上に設けられている。また、より多くの画素PIXを集積し、表示面積を拡大するために、上記各回路52～54は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタから構成されている。さらに、通常ガラス基板（歪み点が600度以下のガラス基板）を用いても、歪み点以上のプロセスに起因するソリやタワミが発生しないように、上記多結晶薄膜シリコントランジスタは、600度以下のプロセス温度で製造される。

【0039】ここで、上記表示部52は、1本のデータ信号線SL<sub>1</sub>～SL<sub>l</sub>と、各データ信号線SL<sub>1</sub>～SL<sub>l</sub>にそれぞれ交差するm本の走査信号線GL<sub>1</sub>～GL<sub>m</sub>とを備えている。l以下の任意の正整数をi、m以下の任意の正整数をjとすると、データ信号線SL<sub>i</sub>と走査信号線GL<sub>j</sub>との組み合わせ毎に、画素PIX<sub>(i,j)</sub>が設けられており、各画素PIX<sub>(i,j)</sub>は、隣接する2本のデータ信号線SL<sub>i</sub>・SL<sub>i+1</sub>および、隣接する2本の走査信号線GL<sub>j</sub>・GL<sub>j+1</sub>で包囲された部分に配される。

【0040】一方、上記画素PIX<sub>(i,j)</sub>は、例えば、図3に示すように、ゲートが走査信号線GL<sub>j</sub>へ、ドレインがデータ信号線SL<sub>i</sub>に接続された電界効果トランジスタ（スイッチング素子）SWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量C<sub>p</sub>とを備えている。また、画素容量C<sub>p</sub>の他端は、全画素PIXに共通の共通電極線に接続されている。上記画素容量C<sub>p</sub>は、液晶容量C<sub>l</sub>と、必要に応じて付加される補助容量C<sub>a</sub>とから構成されている。

【0041】上記画素PIX<sub>(i,j)</sub>において、走査信号線GL<sub>j</sub>が選択されると、電界効果トランジスタSWが導通し、データ信号線SL<sub>i</sub>に印加された電圧が画素容量C<sub>p</sub>へ印加される。一方、当該走査信号線GL<sub>j</sub>の選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量C<sub>p</sub>は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量C<sub>l</sub>に印加される電圧によって変化する。したがって、走査信号線GL<sub>j</sub>を選択し、データ信号線SL<sub>i</sub>へ映像データに応じた電圧を印加すれば、当該画素PIX<sub>(i,j)</sub>の表示状態を、映像データを合わせて変化させることができる。

【0042】図2に示す画像表示装置51では、走査信号線駆動回路54が走査信号線GLを選択し、選択中の走査信号線GLとデータ信号線SLとの組み合わせに対応する画素PIXへの映像データが、データ信号線駆動回路53によって、それぞれのデータ信号線SLへ出力される。これにより、当該走査信号線GLに接続された画素PIX…へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路54が走査信号線GLを順次選択し、データ信号線駆動回路53が各データ信号線SLへ映像データを出力する。この結果、表示部52の全画素PIXに、それぞれの映像データが書き込まれる。

【0043】ここで、上記制御回路55からデータ信号線駆動回路53までの間、各画素PIXへの映像データは、映像信号DATとして、時分割で伝送されており、データ信号線駆動回路53は、タイミング信号となる所定の周期のクロック信号CKSとスタート信号SPSとに基づいたタイミングで、映像信号DATから、各映像データを抽出している。

【0044】具体的には、上記データ信号線駆動回路53は、クロック信号CKSに同期して、切替信号L/Rが示すシフト方向へ開始信号SPSを順次シフトすることによって、1クロックずつタイミングが異なる出力信号 $S_1 \sim S_n$ を生成するシフトレジスタ53aと、各出力信号 $S_1 \sim S_n$ が示すタイミングで、映像信号DATをサンプリングして、各データ信号線 $S_1 \sim S_n$ へ出力する映像データを映像信号DATから抽出するサンプリング部53bとを備えている。ここで、後述するように、切替信号L/Rが右方向( $S_1$ から $S_n$ への方向)へのシフトを示している場合、出力信号 $S_1$ が最も早いタイミングとなり、切替信号L/Rが左方向へのシフトを示している場合、出力信号 $S_n$ が最も早いタイミングとなる。したがって、切替信号L/Rを切り替えることによって、各データ信号線 $S_1 \sim S_n$ への映像データを映像信号DATから抽出する順番を変更でき、表示部52に左右が反転した映像を表示できる。

【0045】同様に、走査信号線駆動回路54は、クロック信号CKGに同期して、切替信号U/Dが示すシフト方向へ、開始信号SPGを順次シフトすることによって、1クロックずつタイミングが異なる走査信号を、各走査信号線 $GL_1 \sim GL_n$ へ出力するシフトレジスタ54aを備えている。したがって、切替信号U/Dが下方向( $GL_1$ から $GL_n$ への方向)へのシフトを示している場合、走査信号線 $GL_1$ への出力信号が最も早いタイミングとなり、切替信号U/Dが上方向へのシフトを示している場合、走査信号線 $GL_n$ への出力信号が最も早いタイミングとなる。これにより、切替信号U/Dを切り替えることで、走査信号線 $GL_1 \sim GL_n$ を選択する順番を変更でき、表示部52へ上下が反転した映像を表示できる。

【0046】ここで、本実施形態に係る画像表示装置51では、表示部52および両駆動回路53・54が多結晶シリコン薄膜トランジスタで形成されており、これらの回路52～54の駆動電圧 $V_{cc}$ は、例えば、15

[V]程度に設定されている。一方、制御回路55は、上記各回路52～54とは異なる基板上に、単結晶シリコントランジスタで形成されており、駆動電圧は、例えば、5[V]あるいは、それ以下の電圧など、上記駆動電圧 $V_{cc}$ よりも低い値に設定されている。なお、上記各回路52～54と、制御回路55とは、互いに異なる基板上に形成されているが、両者間で伝送される信号の数は、上記各回路52～54間の信号の数よりも大幅に少なく、例えば、映像信号DATや、各開始信号SPS(SPG)、クロック信号CKS(CKG)あるいは切替信号L/R(U/D)程度である。また、制御回路55は、単結晶シリコントランジスタで形成されているので十分な駆動能力を確保しやすい。したがって、互いに異なる基板上に形成しても、製造時の手間や配線容量あるいは消費電力の増加は、問題とならない程度に抑えら

れている。

【0047】ここで、本実施形態では、上記シフトレジスタ53a・54aの少なくとも一方は、図1に示すシフトレジスタ1が使用されている。なお、以下では、いずれのシフトレジスタとして使用する場合も含むように、上記各開始信号SPS(SPG)をSPと称し、切替信号L/R(U/D)をL/Rで参照する。また、シフトレジスタ1の段数1(m)をnで参照し、出力信号を $S_1 \sim S_n$ と称する。

【0048】具体的には、上記シフトレジスタ1は、複数段のフリップフロップ $F_1 \sim F_n$ からなり、クロック信号CKに同期して、双方向にシフト可能なシフトレジスタ部2を備えている。本実施形態に係るシフトレジスタ部2は、切替信号L/R自体と、切替信号L/Rをインバータ3で反転した信号とに基づいて、シフト方向を判定しており、切替信号L/Rが右または下方向(順方向)を示している場合、左または上側端のフリップフロップ $F_1$ から右または下側端のフリップフロップ $F_n$ へ、開始信号SPを伝送する。一方、切替信号L/Rが左または上方向(逆方向)を示している場合、シフトレジスタ部2は、フリップフロップ $F_n$ からフリップフロップ $F_1$ へ開始信号SPを伝送する。

【0049】上述したように、制御回路55の駆動電圧は、シフトレジスタ1の駆動電圧 $V_{cc}$ よりも低く設定されており、開始信号SPの振幅も当該駆動電圧 $V_{cc}$ よりも低く設定されている。したがって、上記シフトレジスタ1には、さらに、開始信号SPを昇圧して、シフトレジスタ部2へ与えるレベルシフタ11・12が設けられている。

【0050】本実施形態では、上記レベルシフタ11・12は、シフトレジスタ部2の両端に設けられており、左(または上)端に設けられたレベルシフタ11は、開始信号SPを昇圧して上記フリップフロップ $F_1$ へ出力すると共に、右(または下)側端に設けられたレベルシフタ12は、上記フリップフロップ $F_n$ へ出力する。さらに、上記レベルシフタ11・12は、上記切替信号L/Rに基づいて、一方のみが動作するように構成されており、切替信号L/Rが順方向のシフトを指示している場合、入力側となるレベルシフタ11のみが動作すると共に、逆方向のシフトを指示している場合は、レベルシフタ12のみが動作して、レベルシフタ11は動作を停止する。なお、上記レベルシフタ11・12が特許請求の範囲に記載の制御手段およびレベルシフタに対応する。

【0051】上記構成において、切替信号L/Rが順方向シフトを指示している場合、レベルシフタ11が開始信号SPを昇圧して、フリップフロップ $F_1$ へ入力する。一方、各フリップフロップ $F_1 \sim F_n$ は、前段、すなわち、左(または上)側に隣接する回路の出力信号を、クロック信号CKに同期して、各段の出力信号 $S_1$



～S。として出力すると共に、次段、すなわち、右（または下）側に隣接する回路へ出力する。これにより、開始信号SPは、1クロック毎に順方向へ伝送され、各フリップフロップF<sub>1</sub>～F<sub>n</sub>は、左（または上）側に隣接する回路、すなわち、レベルシフト11およびフリップフロップF<sub>1</sub>～F<sub>(n-1)</sub>の出力信号よりも1クロック遅れて、出力信号S<sub>1</sub>～S<sub>n</sub>を出力する。また、この状態では、レベルシフト12は、切替信号L/Rバーに基づいて動作を停止している。

【0052】これとは逆に、切替信号L/Rが逆方向シフトを示している場合、レベルシフト11は、動作を停止し、レベルシフト12が動作を開始する。この状態で、開始信号SPが印加されると、レベルシフト12は、開始信号SPを昇圧して、フリップフロップF<sub>1</sub>へ入力し、各フリップフロップF<sub>1</sub>～F<sub>n</sub>は、右（または下）側に隣接する回路の出力信号を、クロック信号CKに同期して左（または上）側に隣接する回路へ出力する。これにより、開始信号SPは、1クロック毎に逆方向へ伝送され、各フリップフロップF<sub>1</sub>～F<sub>n</sub>は、右（または上）側に隣接する回路、すなわち、フリップフロップF<sub>1</sub>～F<sub>n</sub>およびレベルシフト12の出力信号よりも1クロック遅れて、出力信号S<sub>1</sub>～S<sub>n</sub>を出力する。

【0053】上記構成では、レベルシフト11・12がシフトレジスタ部2の両側に設けられている。したがって、一方側に設けられたレベルシフトの出力信号をシフトレジスタ部の両端に伝送する場合に比べて、レベルシフト11とフリップフロップF<sub>1</sub>との間、および、レベルシフト12とフリップフロップF<sub>1</sub>との間を、いずれも短く設定でき、各レベルシフト11（12）の負荷容量を大幅に削減できる。また、開始信号SP自体を両レベルシフト11（12）へ伝送した後で昇圧するので、レベルシフト後の開始信号を伝送する場合よりも、シフトレジスタ部2の両端間を伝送される信号の振幅が小さくなる。これらの結果、例えば、レベルシフト11（12）を多結晶シリコン薄膜トランジスタで構成した場合のように、レベルシフト11（12）の駆動能力が低く、かつ、シフトレジスタ部2の段数が多い場合であっても、バッファ回路を設けずに、フリップフロップF<sub>1</sub>（F<sub>n</sub>）を駆動でき、シフトレジスタ1の消費電力を削減できる。

【0054】さらに、本実施形態では、シフト方向に応じて、両レベルシフト11・12のうち、シフトレジスタ部2の入力側のみを動作させ、出力側を停止させている。この結果、双方が常時動作する場合に比べて、シフトレジスタ1の消費電力をさらに低減できる。

【0055】ここで、開始信号SPの振幅が入力段のトランジスタのしきい値を下回った場合、開始信号SPによってトランジスタをオン/オフする電圧駆動型のレベルシフトは、動作できなくなるので、レベルシフト11

・12として、電流駆動型のレベルシフトが使用される。当該電流駆動型のレベルシフトは、後述するように、トランジスタ特性が低い場合や、高速駆動が要求される場合であっても動作できる一方で、動作中は、常時、電流が流れているため、上記電圧駆動型のレベルシフトに比べて電力消費が大きくなってしまふ。したがって、特に、電流駆動型のレベルシフトを使用する場合は、本実施形態のように、一方のレベルシフト11（12）を停止させる方が望ましい。

【0056】なお、電圧駆動型のレベルシフトを使用する場合であっても、少なくとも出力が変化する際には電力を消費するので、一方のレベルシフト11（12）を停止させる方がよい。

【0057】〔第2の実施形態〕本実施形態では、上記レベルシフト11（12）の動作を停止させる方法の一例として、レベルシフト11（12）への電力供給を停止する場合について説明する。すなわち、本実施形態に係るシフトレジスタ1aでは、図4に示すように、レベルシフト11への電力供給を制御する電源供給制御部13と、レベルシフト12への電力供給を制御する電源供給制御部14とが設けられている。なお、本実施形態では、電源供給制御部13および14が特許請求の範囲に記載の制御手段に対応し、レベルシフト11および12がレベルシフトに対応する。

【0058】上記電源供給制御部13は、切替信号L/Rが順方向を示している場合にのみ、レベルシフト11へ電力を供給し、逆方向を示している場合には、電力供給を中止して、レベルシフト11を停止させる。同様に、電源供給制御部14は、切替信号L/Rが逆方向を示している場合にのみ、レベルシフト12へ電力を供給する。

【0059】上記構成によれば、各レベルシフト11・12には、それぞれが動作している期間にのみ、電力が供給される。したがって、動作を停止している方のレベルシフト11・12では、電力が消費されず、シフトレジスタ1の消費電力を低減できる。

【0060】〔第3の実施形態〕ところで、レベルシフト11（12）は、回路構成や駆動電圧V<sub>cc</sub>によって、動作可能な入力電圧範囲（入力ダイナミックレンジ）が決められているため、当該入力ダイナミックレンジ外の入力信号をレベルシフト11（12）へ与えても、レベルシフト11（12）を停止させることができる。

【0061】以下では、レベルシフト11（12）への入力する信号レベルを制御して、レベルシフト11（12）を停止させる場合の一例として、上記入力ダイナミックレンジに接地レベルが含まれていない場合について、図5に基づいて説明する。

【0062】すなわち、本実施形態に係るシフトレジスタ1bには、開始信号SPおよび接地レベルの一方を選択して、レベルシフト11へ入力する入力切替回路15

と、両者の一方を選択して、レベルシフト12へ入力する入力切替回路16とが設けられている。入力切替回路15は、一端に開始信号SPが印加され、他端がレベルシフト11の入力に接続されると共に、切替信号L/Rが順方向を示す場合に導通するMOSトランジスタ15aと、レベルシフト11の入力と接地レベルとの間に設けられ、切替信号L/Rが逆方向を示す場合に導通するMOSトランジスタ15bとを備えている。同様に、入力切替回路16には、切替信号L/Rが逆方向を示す場合に導通して、開始信号SPをレベルシフト12へ印加するN型のMOSトランジスタ16aと、順方向を示す場合に導通して、レベルシフト12の入力を接地させるMOSトランジスタ16bとが設けられている。

【0063】なお、本実施形態では、上記入力切替回路15および16が特許請求の範囲に記載の制御手段に対応し、レベルシフト11および12がレベルシフト部に対応する。

【0064】本実施形態では、上記各MOSトランジスタ15a～16bがN型であり、切替信号L/Rがハイレベルの場合、順方向を示している。したがって、MOSトランジスタ15aのゲートには、切替信号L/Rが印加され、MOSトランジスタ16aのゲートには、インバータ3の出力信号が印加される。また、MOSトランジスタ15bのゲートには、切替信号の反転信号L/Rバーが印加され、MOSトランジスタ16bのゲートには、反転信号L/Rバーがインバータ4にて反転された後、印加される。

【0065】上記構成によれば、切替信号L/Rが順方向を示している場合、レベルシフト11には、開始信号SPが印加され、レベルシフト12の入力は接地される。ここで、レベルシフト12の入力ダイナミックレンジには、接地レベルが含まれていないので、レベルシフト12が停止する。これにより、レベルシフト11のみを動作させることができる。これとは逆に、切替信号L/Rが逆方向を示している場合は、レベルシフト11に入力ダイナミックレンジ外の入力が与えられ、レベルシフト12のみが動作する。

【0066】なお、レベルシフト11(12)の停止時に入力切替回路15(16)が出力する電圧は、レベルシフト11(12)の入力ダイナミックレンジ外の電圧であればよいが、後述するように、レベルシフト11(12)が電流駆動型の場合は、レベルシフト11(12)の入力段のトランジスタが遮断される電圧、すなわち、貫通電流が流れない電圧に設定する方が、貫通電流に起因する電力消費を削減でき、より低消費電力なシフトレジスタ1bを実現できる。

【0067】〔第4の実施形態〕ところで、上記第1ないし第3の実施形態では、レベルシフト11(12)は、直接、フリップフロップF<sub>1</sub>(F<sub>2</sub>)に接続されているため、動作停止時に、レベルシフト11(12)の

出力信号が不定となり、フリップフロップF<sub>1</sub>(F<sub>2</sub>)が誤動作する虞れがある。

【0068】これに対して、本実施形態に係るシフトレジスタ1cでは、図6に示すように、レベルシフト11(12)に、動作停止時の出力電圧を安定させるための出力安定回路(出力安定手段)17(18)が設けられている。なお、出力安定回路17(18)は、いずれのシフトレジスタ1(1a～1c)に設けることもできるが、以下では、図1に示すシフトレジスタ1に設けた場合について説明する。

【0069】具体的には、本実施形態に係る出力安定回路17は、レベルシフト11の出力と接地レベルとの間に設けられ、ゲートに印加される切替信号L/Rが逆方向を示している場合に導通するN型のMOSトランジスタから構成されている。同様に、出力安定回路18は、レベルシフト12の出力と接地レベルとの間に設けられたN型のMOSトランジスタから構成され、切替信号L/Rが順方向を示している場合に導通する。なお、この例では、切替信号L/Rがハイレベルの場合、順方向を示しているため、出力安定回路17において、MOSトランジスタのゲートにインバータ3の出力信号が印加され、出力安定回路18において、MOSトランジスタのゲートに切替信号L/Rが印加されている。

【0070】上記構成によれば、レベルシフト11(12)が停止している間、出力安定回路17(18)のMOSトランジスタが導通して、レベルシフト11(12)の出力を接地レベルへと低下させる。この結果、停止中のレベルシフト11(12)の出力電圧が不定の場合とは異なり、当該レベルシフト11(12)に接続されたフリップフロップF<sub>1</sub>(F<sub>2</sub>)の誤動作を防止でき、より安定したシフトレジスタ1cを実現できる。

【0071】〔第5の実施形態〕本実施形態では、上記シフトレジスタ1(1a～1c)の具体例として、電流駆動型のレベルシフト11(12)と、電源供給制御部13(14)と、入力切替回路15(16)と、出力安定回路17(18)とを全て備えた場合について、図7に示す回路図を参照して説明する。なお、同図では、レベルシフト11に関連する部材(11・13・15・17)のみを例示している。

【0072】具体的には、本実施形態に係るレベルシフト11は、電流駆動型のレベルシフトであり、入力段の差動入力対として、ソースが互いに接続されたP型のMOSトランジスタP1・P2と、両トランジスタP1・P2のソースへ所定の電流を供給する定電流源I1と、カレントミラー回路を構成し、両トランジスタP1・P2の能動負荷となるN型のMOSトランジスタN3・N4と、差動入力対の出力を増幅するCMOS構造のトランジスタP11・N12とを備えている。

【0073】上記トランジスタP1のゲートには、後述するトランジスタN31を介して、開始信号SPが入力

10

20

30

40

50

され、トランジスタP2のゲートには、後述するトランジスタN33を介して、開始信号の反転信号SPバーが入力される。また、トランジスタN3・N4のゲートは、互いに接続され、さらに、上記トランジスタP1・N3のドレインに接続されている。一方、互いに接続されたトランジスタP2・N4のドレインは、上記トランジスタP11・N12のゲートに接続される。なお、トランジスタN3・N4のソースは、上記電源供給制御部13としてのN型のMOSトランジスタN21を介して接地される。

【0074】一方、入力切替回路15には、開始信号SPと上記トランジスタP1のゲートとの間に設けられたN型のMOSトランジスタN31と、トランジスタP1のゲートと駆動電圧 $V_{cc}$ との間に設けられたP型のMOSトランジスタP32とが設けられている。同様に、上記トランジスタP2のゲートには、トランジスタN33を介して、開始信号の反転信号SPバーが印加され、トランジスタP34を介して、駆動電圧 $V_{cc}$ が与えられる。

【0075】さらに、本実施形態に係る出力安定回路17は、レベルシフタ11の停止時の出力電圧を駆動電圧 $V_{cc}$ に安定させる構成であり、駆動電圧 $V_{cc}$ と上記両トランジスタP11・N12のゲートとの間に、P型のMOSトランジスタP41を備えている。

【0076】本実施形態では、切替信号L/Rは、ハイレベルの場合、順方向を示し、レベルシフタ11が動作するように設定されている。したがって、上記各トランジスタN21～P41のゲートには、切替信号L/Rが印加される。

【0077】上記構成において、切替信号L/Rが順方向を示している場合（ハイレベルの場合）、トランジスタN21・N31・N33が導通し、トランジスタP32・P34・P41が遮断される。この状態では、定電流源I1の電流は、トランジスタP1およびN3、あるいは、トランジスタP2およびN4を介した後、さらに、トランジスタN21を介して流れる。また、両トランジスタP1・P2のゲートには、開始信号SP、あるいは、開始信号の反転信号SPバーが印加される。この結果、両トランジスタP1・P2には、それぞれのゲート-ソース間電圧の比率に応じた量の電圧が流れる。一方、トランジスタN3・N4は、能動負荷として働くので、トランジスタP2・N4の接続点の電圧は、両信号SP・SPバーの電圧レベルの差に応じた電圧となる。当該電圧は、CMOSのトランジスタP11・N12のゲート電圧となり、両トランジスタP11・N12で電力増幅された後、出力電圧OUTとして出力される。

【0078】上記レベルシフタ11は、開始信号SPによって、入力段のトランジスタP1・P2の導通/遮断を切り換える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタP1・P2が常時導通す

る電流駆動型であり、両トランジスタP1・P2のゲート-ソース間電圧の比率に応じて、定電流源I1の電流を分流することによって、開始信号SPをレベルシフトする。これにより、開始信号SPの振幅が入力段のトランジスタP1・P2のしきい値よりも低い場合であっても、何ら支障なく、開始信号SPをレベルシフトできる。

【0079】この結果、図8に示すように、レベルシフタ11は、切替信号L/Rがハイレベルの間、波高値が駆動電圧 $V_{cc}$ よりも低い値（例えば、5[V]程度）の開始信号SPと同一形状で、波高値が駆動電圧 $V_{cc}$ （例えば、15[V]程度）に昇圧された出力電圧OUTを出力できる。

【0080】これとは逆に、切替信号L/Rが逆方向を示している場合（ローレベルの場合）、定電流源I1から、トランジスタP1およびN3、あるいは、トランジスタP2およびN4を介して流れる電流は、トランジスタN21によって遮断される。この状態では、定電流源I1からの電流供給がトランジスタN21にて阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタP1・P2へ電流が供給されないため、両トランジスタP1・P2は、差動入力対として動作することができず、出力端、すなわち、両トランジスタP2・N4の接続点の電位を決定できなくなる。

【0081】さらに、この状態では、入力切替回路15のトランジスタN31・N33が遮断され、トランジスタP32・P34が導通している。この結果、両トランジスタP1・P2のゲート電圧は、いずれも駆動電圧 $V_{cc}$ となり、両トランジスタP1・P2が遮断される。これにより、トランジスタN21を遮断する場合と同様に、定電流源I1が出力する電流分だけ、消費電流を低減できる。また、この状態では、両トランジスタP1・P2は、差動入力対として動作することができなくなり、上記出力端の電位を決定できなくなる。

【0082】加えて、切替信号L/Rが逆方向を示している場合には、さらに、出力安定回路17のトランジスタP41が導通する。この結果、上記出力端、すなわち、CMOSのトランジスタP11・N12のゲート電位は、駆動電圧 $V_{cc}$ となり、出力電圧OUTがローレベルとなる。この結果、図8に示すように、切替信号L/Rが逆方向を示している場合、レベルシフタ11の出力電圧OUTは、開始信号SPに拘わらず、ローレベルのまま保たれる。

【0083】ここで、図7では、レベルシフタ11に関連する部材を例示したが、レベルシフタ12に関連する部材（12・14・16・18）では、切替信号L/Rに代えて、例えば、インバータ3の出力信号など、切替信号の反転信号L/Rバーが印加される。また、同図では、電源供給制御部13、入力切替回路15および出力

10

20

30

40

50

安定回路17を全て備えた場合を例にして説明したが、電源供給制御部13(14)を削除する場合には、トランジスタN21を削除して、トランジスタN3・N4のソースを接地すればよい。また、入力切替回路15(16)を削除する場合には、トランジスタN31~P34を削除して、開始信号SPをトランジスタP1のゲートへ印加し、開始信号の反転信号SPバーをトランジスタP2のゲートに印加すればよい。さらに、トランジスタP41を削除すれば、出力安定回路17(18)を削除したレベルシフタを構成できる。

【0084】なお、上記第1ないし第5の実施形態では、シフトレジスタの適用例として、画像表示装置を例にして説明したが、双方向シフトが必要で、入力信号の振幅がシフトレジスタの駆動電圧よりも低い入力信号が与えられる用途であれば、本発明に係る双方向シフトレジスタを広く適用できる。ただし、画像表示装置では、解像度の向上と表示面積の拡大とが強く求められているため、シフトレジスタの段数が多く、かつ、レベルシフタの駆動能力を十分に確保できないことが多い。したがって、画像表示装置の駆動回路に適用した場合は、特に効果的である。

【0085】

【発明の効果】本発明に係る双方向シフトレジスタは、以上のように、双方向のシフトレジスタとして動作する複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えている構成である。

【0086】上記構成では、複数段のフリップフロップの両端にレベルシフタが設けられているので、各レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後の信号の伝送距離を短縮できるので、レベルシフタとフリップフロップとの間のバッファを削除でき、双方向シフトレジスタの消費電力を削減できるという効果を奏する。

【0087】本発明に係る双方向シフトレジスタは、以上のように、上記構成に加えて、さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えている構成である。

【0088】当該構成によれば、双方向シフトレジスタによる入力信号のシフトを阻害することなく、一方のレベルシフタを停止させることができるので、双方が動作する場合よりも消費電力を削減できるという効果を奏する。

【0089】本発明に係る双方向シフトレジスタは、以上のように、上記構成において、上記各レベルシフタは、動作中、入力信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいる構成である。

【0090】当該構成によれば、レベルシフタの一方では、入力スイッチング素子が常時導通して、入力信号を

レベルシフトすると共に、他方は、動作を停止する。これにより、入力信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、消費電力が少ない双方向シフトレジスタを実現できるという効果を奏する。

【0091】本発明に係る双方向シフトレジスタは、以上のように、上記構成において、上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させる構成である。

【0092】当該構成によれば、制御手段が入力信号のレベルを制御して入力スイッチング素子を遮断することで、レベルシフタの動作を停止する。これにより、制御手段は、レベルシフタを停止できると共に、停止中、入力スイッチング素子に流れる電流の分だけ、消費電力を低減できるという効果を奏する。

【0093】本発明に係る双方向シフトレジスタは、以上のように、上記制御手段を有する各構成において、上記制御手段は、上記各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させる構成である。

【0094】当該構成によれば、制御手段は、各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させる。これにより、制御手段は、レベルシフタを停止できると共に、動作中にレベルシフタで消費する電力の分だけ、消費電力を低減できるという効果を奏する。

【0095】本発明に係る双方向シフトレジスタは、以上のように、上述の各構成において、上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている構成である。

【0096】当該構成によれば、レベルシフタが停止している間、当該レベルシフタの出力電圧は、出力安定手段によって所定の値に保たれる。この結果、フリップフロップの誤動作を防止でき、より安定した双方向シフトレジスタを実現できるという効果を奏する。

【0097】本発明に係る画像表示装置は、以上のように、第1クロック信号に同期して動作する走査信号線駆動回路、および、第2クロック信号に同期して動作するデータ信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成の双方向シフトレジスタを備えている構成である。

【0098】当該構成では、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成の双方向シフトレジスタを備えているので、鏡像表示が可能で、かつ、消費電力の少ない画像表示装置を実現できるという効果を奏する。

【0099】本発明に係る画像表示装置は、以上のように、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている構成である。

【0100】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されているので、製造時の手間や各信号線の容量を削減でき、より低消費電力の画像表示装置を実現できるという効果を奏する。

【0101】本発明に係る画像表示装置は、以上に、上述の各構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる構成である。

【0102】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる。また、上記構成の双方向シフトレジスタは、十分な駆動能力の確保が困難な多結晶シリコン薄膜トランジスタで形成されていても、何ら支障なくレベルシフト後の入力信号をフリップフロップの両端へ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できるという効果を奏する。

【0103】本発明に係る画像表示装置は、以上に、上述の各構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる構成である。

【0104】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常ガラス基板（歪み点が600度以下のガラス基板）を使用できる。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、双方向\*

\*シフトレジスタの要部構成を示すブロック図である。

【図2】上記双方向シフトレジスタを用いた画像表示装置の要部構成を示すブロック図である。

【図3】上記画像表示装置において、画素の構成例を示す回路図である。

【図4】本発明の他の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図5】本発明のさらに他の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図6】本発明のまた別の実施形態を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

【図7】上記各双方向シフトレジスタにおいて、レベルシフトの構成例を示す回路図である。

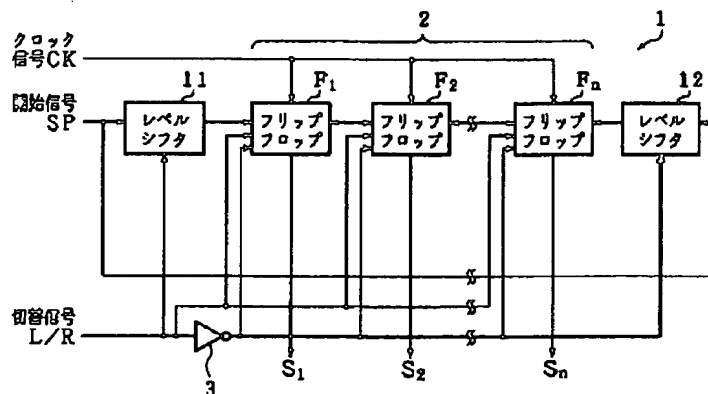
【図8】上記レベルシフトの動作を示す波形図である。

【図9】従来技術を示すものであり、双方向シフトレジスタの要部構成を示すブロック図である。

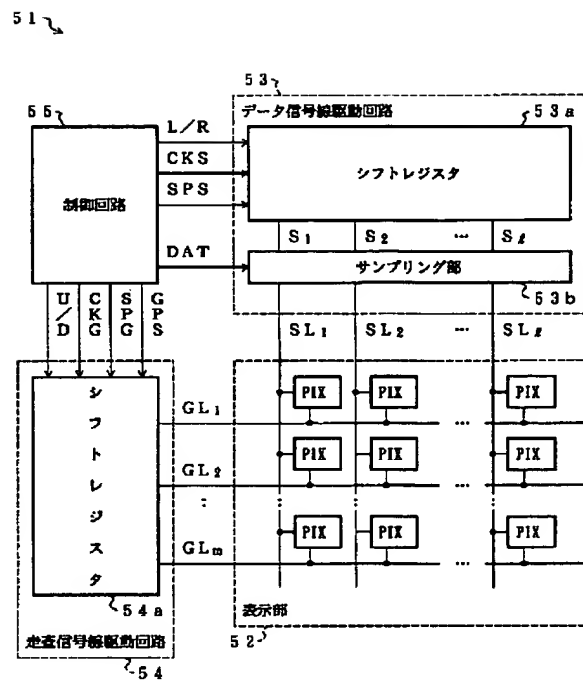
【符号の説明】

- |                                |                      |
|--------------------------------|----------------------|
| 1・1a～1d                        | 双方向のシフトレジスタ          |
| 11・12                          | レベルシフト（制御手段：レベルシフト部） |
| 13・14                          | 電源供給制御部（制御手段）        |
| 15・16                          | 入力切替回路（制御手段）         |
| 17・18                          | 出力安定回路（出力安定手段）       |
| 51                             | 画像表示装置               |
| 53                             | データ信号線駆動回路           |
| 54                             | 走査信号線駆動回路            |
| F <sub>1</sub> ～F <sub>n</sub> | フリップフロップ             |
| PIX                            | 画素                   |
| SW                             | 電界効果トランジスタ（スイッチング素子） |

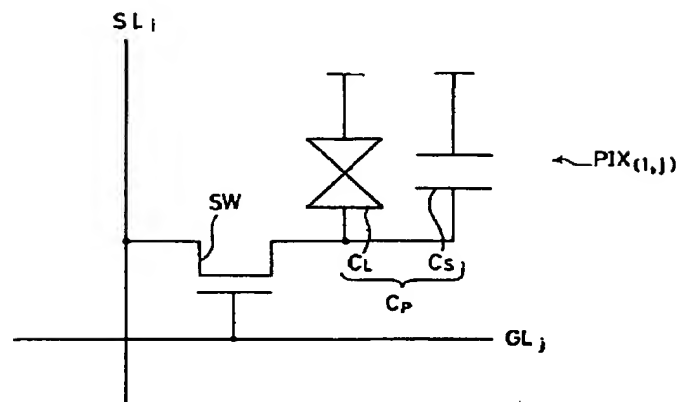
【図1】



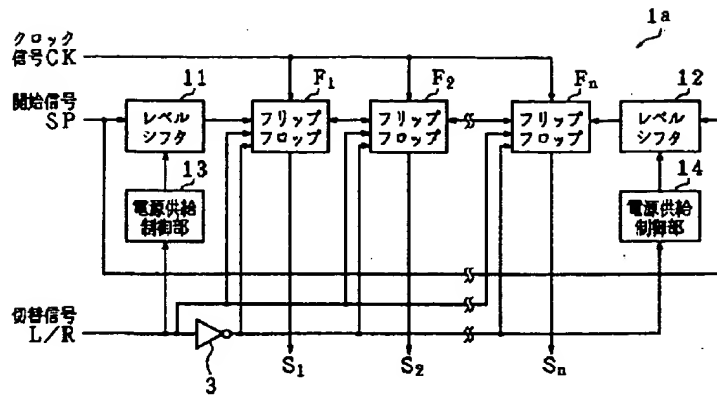
【図2】



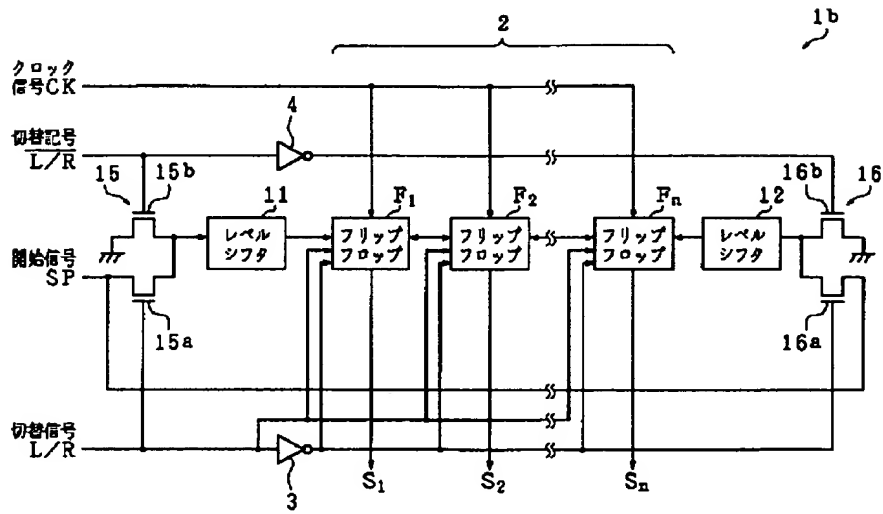
【図3】



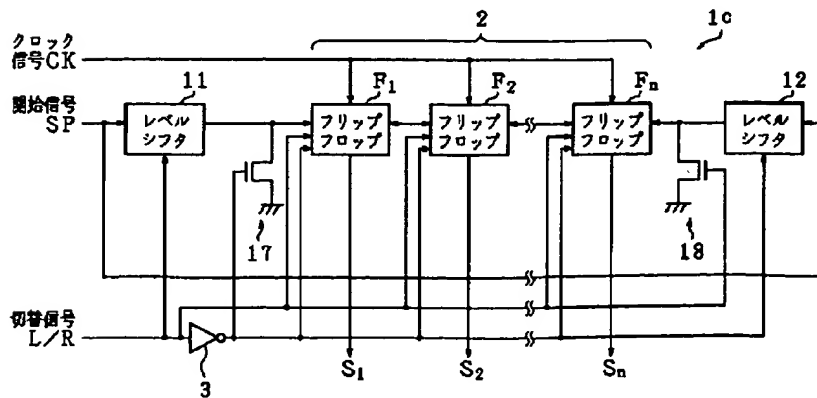
【図4】



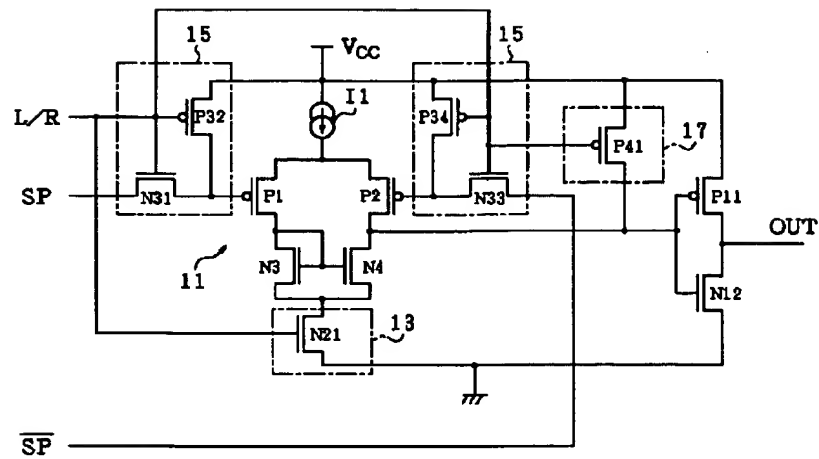
【図5】



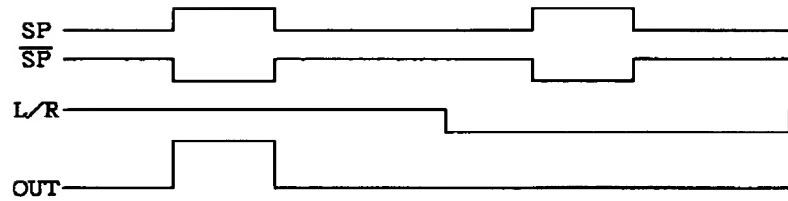
【図6】



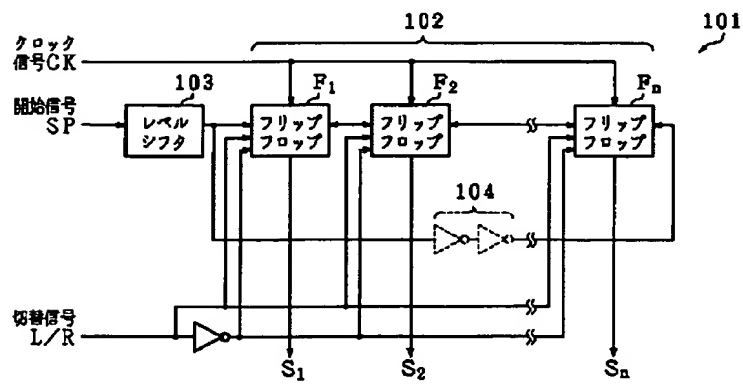
【図7】



【図8】



【図9】





## フロントページの続き

(72)発明者 鷺尾 一  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72)発明者 前田 和宏  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 マイケル ジェームス ブラウンロー  
イギリス国 オーエックス4 4ワイビー  
オックスフォード、サンドフォード オ  
ン テムズ、チャーチ ロード 124  
(72)発明者 グレアム アンドリュー カーンズ  
イギリス国 オーエックス2 8エヌエイ  
チ オックスフォード カッテスロウ、ボ  
ーン クローズ22

F ターム(参考) 5C080 AA10 BB05 DD24 DD26 EE29  
FF11 GG12 JJ02 JJ03 JJ04

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】平成14年7月10日(2002.7.10)

【公開番号】特開2000-322020(P2000-322020A)  
 【公開日】平成12年11月24日(2000.11.24)  
 【年通号数】公開特許公報12-3221  
 【出願番号】特願平11-134664  
 【国際特許分類第7版】

G09C 3/20 623  
 622

G11C 19/00

【F1】

G09C 3/20 623 H  
 622 E

G11C 19/00 C

【手続補正書】

【提出日】平成14年3月28日(2002.3.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 クロック信号に同期して動作する複数段のフリップフロップを有し、切替信号に応じてシフト方向を双方向に切替可能で、かつ、入力信号の振幅が駆動電圧よりも小さな双方向シフトレジスタにおいて、上記複数段のフリップフロップの両端に、上記入力信号を昇圧するレベルシフタを備えていることを特徴とする双方向シフトレジスタ。

【請求項2】 さらに、上記切替信号に応じて、上記両レベルシフタのうち、シフト方向の最後尾側のレベルシフタを停止させる制御手段を備えていることを特徴とする請求項1記載の双方向シフトレジスタ。

【請求項3】 上記各レベルシフタは、入力スイッチング素子を備えた電流駆動型のレベルシフト部を含んでいることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項4】 上記制御手段は、上記各レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させることを特徴とする請求項3記載の双方向シフトレジスタ。

【請求項5】 上記制御手段は、上記各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させることを特徴とする請求項2記載の双方向シフトレジスタ。

【請求項6】 上記各レベルシフタは、出力安定手段を備えていることを特徴とする請求項2、3、4または5記載の双方向シフトレジスタ。

【請求項7】 上記出力安定手段は、レベルシフタの停止時に、予め定められた値に出力電圧を保つことを特徴とする請求項6記載の双方向シフトレジスタ。

【請求項8】 切替信号に基づいて入力側と出力側とを切り替えるとともに、入力側となった一方の端部から出力側となった他方の端部へ、複数のフリップフロップを介して入力信号を順次転送するシフトレジスタ部と、上記シフトレジスタ部の両端部にそれぞれ隣接して設けられ、信号を昇圧して該シフトレジスタ部に出力するレベルシフタを含む双方向シフトレジスタ。

【請求項9】 上記レベルシフタのうち、出力側となった端部に隣接するレベルシフタは動作を停止することを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項10】 停止中のレベルシフタの出力電圧を一定に保つ出力安定回路をさらに含むことを特徴とする請求項9記載の双方向シフトレジスタ。

【請求項11】 出力側となった端部に隣接するレベルシフタに対する電力供給を中止し、該レベルシフタの動作を停止させる電源供給制御部をさらに含むことを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項12】 信号のレベルを変化させて、出力側となった端部に隣接するレベルシフタの動作を停止させるレベルの電圧を作成し、該電圧を該レベルシフタに与える入力切替回路をさらに含むことを特徴とする請求項8記載の双方向シフトレジスタ。

【請求項13】 各レベルシフタは電圧駆動型であって、上記電圧は、上記レベルシフタの動作可能な入力電圧範囲外の電圧であることを特徴とする請求項12に記載の

双方向シフトレジスタ。

【請求項14】 各レベルシフタは電流駆動型であつて、

上記電圧は、上記レベルシフタの入力段のスイッチング素子を遮断する電圧であることを特徴とする請求項12に記載の双方向シフトレジスタ。

【請求項15】 マトリクス状に配された複数の画素と、

上記各画素の各行に配置された複数のデータ信号線と、  
上記各画素の各列に配置された複数の走査信号線と、  
予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、

予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする請求項1、2、3、4、5、6または7記載の双方向シフトレジスタを備えていることを特徴とする画像表示装置。

【請求項16】 複数のデータ信号線と複数の走査信号線との交差部分にそれぞれ形成される複数の画素と、

上記複数のデータ信号線を順次駆動するデータ信号線駆動回路と、

上記複数の走査信号線を順次駆動する走査信号線駆動回路とを含み、

上記データ信号線駆動回路及び上記走査信号線駆動回路の少なくとも一方は、請求項8、9、10、11、12、13または14記載の双方向シフトレジスタを有することを特徴とする画像表示装置。

【請求項17】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項15または16記載の画像表示装置。

【請求項18】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいることを特徴とする請求項15、16または17記載の画像表示装置。

【請求項19】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項15、16、17または18記載の画像表示装置。

**THIS PAGE BLANK (USPTO)**